

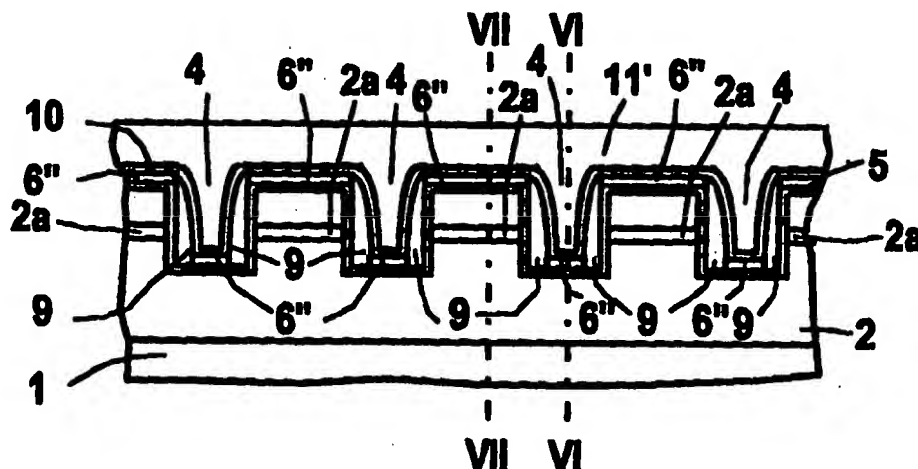
PCT
 WELTORGANISATION FÜR GEISTIGES EIGENTUM
 Internationales Büro
 INTERNATIONALE ANMELDUNG VERÖFFENTLICHT NACH DEM VERTRAG ÜBER DIE
 INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT)



<p>(51) Internationale Patentklassifikation ⁶ : H01L 27/115, 21/8247</p>	A1	<p>(11) Internationale Veröffentlichungsnummer: WO 97/03469</p> <p>(43) Internationales Veröffentlichungsdatum: 30. Januar 1997 (30.01.97)</p>		
<table style="width: 100%;"> <tr> <td style="width: 50%; vertical-align: top;"> <p>(21) Internationales Aktenzeichen: PCT/DE96/01171</p> <p>(22) Internationales Anmeldedatum: 2. Juli 1996 (02.07.96)</p> <p>(30) Prioritätsdaten: 195 25 070.2 10. Juli 1995 (10.07.95) DE</p> <p>(71) Anmelder (für alle Bestimmungsstaaten ausser US): SIEMENS AKTIENGESELLSCHAFT [DE/DE]; Wittelsbacherplatz 2, D-80333 München (DE).</p> <p>(72) Erfinder; und</p> <p>(75) Erfinder/Anmelder (nur für US): KRAUTSCHNEIDER, Wolfgang [DE/DE]; Am Oberfeld 50, D-83104 Hohenthann (DE).</p> </td> <td style="width: 50%; vertical-align: top;"> <p>(81) Bestimmungsstaaten: BR, CN, JP, KR, RU, US, europäisches Patent (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).</p> <p>Veröffentlicht <i>Mit internationalem Recherchenbericht. Vor Ablauf der für Änderungen der Ansprüche zugelassenen Frist. Veröffentlichung wird wiederholt falls Änderungen eintreffen.</i></p> </td> </tr> </table>			<p>(21) Internationales Aktenzeichen: PCT/DE96/01171</p> <p>(22) Internationales Anmeldedatum: 2. Juli 1996 (02.07.96)</p> <p>(30) Prioritätsdaten: 195 25 070.2 10. Juli 1995 (10.07.95) DE</p> <p>(71) Anmelder (für alle Bestimmungsstaaten ausser US): SIEMENS AKTIENGESELLSCHAFT [DE/DE]; Wittelsbacherplatz 2, D-80333 München (DE).</p> <p>(72) Erfinder; und</p> <p>(75) Erfinder/Anmelder (nur für US): KRAUTSCHNEIDER, Wolfgang [DE/DE]; Am Oberfeld 50, D-83104 Hohenthann (DE).</p>	<p>(81) Bestimmungsstaaten: BR, CN, JP, KR, RU, US, europäisches Patent (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).</p> <p>Veröffentlicht <i>Mit internationalem Recherchenbericht. Vor Ablauf der für Änderungen der Ansprüche zugelassenen Frist. Veröffentlichung wird wiederholt falls Änderungen eintreffen.</i></p>
<p>(21) Internationales Aktenzeichen: PCT/DE96/01171</p> <p>(22) Internationales Anmeldedatum: 2. Juli 1996 (02.07.96)</p> <p>(30) Prioritätsdaten: 195 25 070.2 10. Juli 1995 (10.07.95) DE</p> <p>(71) Anmelder (für alle Bestimmungsstaaten ausser US): SIEMENS AKTIENGESELLSCHAFT [DE/DE]; Wittelsbacherplatz 2, D-80333 München (DE).</p> <p>(72) Erfinder; und</p> <p>(75) Erfinder/Anmelder (nur für US): KRAUTSCHNEIDER, Wolfgang [DE/DE]; Am Oberfeld 50, D-83104 Hohenthann (DE).</p>	<p>(81) Bestimmungsstaaten: BR, CN, JP, KR, RU, US, europäisches Patent (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).</p> <p>Veröffentlicht <i>Mit internationalem Recherchenbericht. Vor Ablauf der für Änderungen der Ansprüche zugelassenen Frist. Veröffentlichung wird wiederholt falls Änderungen eintreffen.</i></p>			

(54) Title: ELECTRICALLY ERASABLE PROGRAMMABLE ROM MEMORY CELL ARRAY AND A METHOD OF PRODUCING THE SAME

(54) Bezeichnung: ELEKTRISCH SCHREIB- UND LÖSCHBARE FESTWERTSPEICHERZELLENANORDNUNG UND VERFAHREN ZU DEREN HERSTELLUNG



(57) Abstract

The electrically erasable programmable ROM memory cell array comprises memory cells, each of which has an MOS transistor with a floating gate (6''). The MOS transistors are configured in parallel lines. Adjacent cells are arranged alternately along the floors of longitudinal trenches (4) and between adjacent longitudinal trenches (4). With self-adjusting process steps, a surface area requirement per memory cell of $2F^2$ (F = minimum structural size) is attained.

(57) Zusammenfassung

Eine elektrisch schreib- und löschbare Festwertspeicherzellenanordnung umfaßt Speicherzellen mit jeweils einem MOS-Transistor mit einem floatenden Gate (6"). Die MOS-Transistoren sind in parallel verlaufenden Zeilen angeordnet. Benachbarte Zeilen verlaufen dabei jeweils abwechselnd am Boden von Längsgräben (4) und zwischen benachbarten Längsgräben (4). Durch selbstjustierende Prozeßschritte wird ein Flächenbedarf pro Speicherzelle von $2F^2$ (F: minimale Strukturgröße) erreicht.

LEDIGLICH ZUR INFORMATION

Codes zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäss dem PCT veröffentlichen.

AM	Armenien	GB	Vereinigtes Königreich	MX	Mexiko
AT	Österreich	GE	Georgien	NE	Niger
AU	Australien	GN	Guinea	NL	Niederlande
BB	Barbados	GR	Griechenland	NO	Norwegen
BE	Belgien	HU	Ungarn	NZ	Neuseeland
BF	Burkina Faso	IE	Irland	PL	Polen
BG	Bulgarien	IT	Italien	PT	Portugal
BJ	Benin	JP	Japan	RO	Rumänien
BR	Brasilien	KE	Kenya	RU	Russische Föderation
BY	Belarus	KG	Kirgisistan	SD	Sudan
CA	Kanada	KP	Demokratische Volksrepublik Korea	SE	Schweden
CF	Zentrale Afrikanische Republik	KR	Republik Korea	SG	Singapur
CG	Kongo	KZ	Kasachstan	SI	Slowenien
CH	Schweiz	LI	Liechtenstein	SK	Slowakei
CI	Côte d'Ivoire	LK	Sri Lanka	SN	Senegal
CM	Kamerun	LR	Liberia	SZ	Swasiland
CN	China	LK	Litauen	TD	Tschad
CS	Tschechoslowakei	LU	Luxemburg	TG	Togo
CZ	Tschechische Republik	LV	Lettland	TJ	Tadschikistan
DE	Deutschland	MC	Monaco	TT	Trinidad und Tobago
DK	Dänemark	MD	Republik Moldau	UA	Ukraine
EE	Estland	MG	Madagaskar	UG	Uganda
ES	Spanien	ML	Mali	US	Vereinigte Staaten von Amerika
FI	Finnland	MN	Mongolei	UZ	Usbekistan
FR	Frankreich	MR	Mauretanien	VN	Vietnam
GA	Gabon	MW	Malawi		

Beschreibung

Elektrisch schreib- und löschbare Festwertspeicherzellenan-
5 ordnung und Verfahren zu deren Herstellung

Für viele Anwendungen werden Festwertspeicherzellenanordnun-
gen mit elektrisch schreibbaren und elektrisch löschbaren
10 Festwert-Speicherzellen in Siliziumtechnologie, sogenannte
Flash-EEPROM, benötigt. Diese Flash-EEPROM-Anordnungen erhal-
ten die gespeicherten Daten auch ohne Spannungsversorgung.

Technisch werden diese Speicherzellen meist durch einen MOS-
15 Transistor realisiert, der auf dem Kanalbereich ein erstes
Dielektrikum, ein floatendes Gate, ein zweites Dielektrikum
und ein Kontrollgate aufweist. Ist auf dem floatenden Gate
eine Ladung gespeichert, so beeinflusst diese die Schwellen-
spannung des MOS-Transistors. In einer solchen Speicherzel-
20 lenanordnung wird der Zustand „Ladung auf dem floatenden Ga-
te“ einem ersten logischen Wert, der Zustand „keine Ladung
auf dem floatenden Gate“ einem zweiten logischen Wert zuge-
ordnet. Die Information wird in die Speicherzellen über einen
Fowler-Nordheim-Tunnelstrom, durch den Elektronen auf das
25 floatende Gate injiziert werden, eingeschrieben. Gelöscht
wird die Information durch einen Tunnelstrom in entgegenge-
setzter Richtung durch das erste Dielektrikum.

Die MOS-Transistoren sind in derartigen Speicherzellenanord-
30 nungen als planare MOS-Transistoren ausgebildet und in einer
planaren Zellarchitektur angeordnet. Dadurch beträgt der
theoretisch minimale Flächenbedarf einer Speicherzelle $4F^2$,
wobei F die kleinste herstellbare Strukturgröße in der jewei-
ligen Technologie ist. Derzeit werden derartige Flash-EEPROM-
35 Anordnungen für Datenmengen von maximal 64 Mbit angeboten.

Größere Datenmengen können derzeit schreib- und löschar nur in dynamischen Speicherzellenanordnungen (DRAM) oder auf magnetischen Datenträgern gespeichert werden. Ein DRAM benötigt zur Erhaltung der gespeicherten Daten ständig eine Spannungsversorgung. Magnetische Datenträger dagegen beruhen auf mechanischen Systemen mit rotierenden Speichermedien.

Der Erfindung liegt das Problem zugrunde, eine elektrisch schreib- und löscharbare Festwertspeicherzellenanordnung anzugeben, die mit einem geringeren Flächenbedarf pro Speicherzelle herstellbar ist. Darüber hinaus soll ein Herstellverfahren für eine solche Speicherzellenanordnung angegeben werden.

Dieses Problem wird erfindungsgemäß gelöst durch eine elektrisch schreib- und löscharbare Festwertspeicherzellenanordnung gemäß Anspruch 1 sowie ein Verfahren zu deren Herstellung gemäß Anspruch 5. Weitere Ausgestaltungen der Erfindung gehen aus den übrigen Ansprüchen hervor.

Die erfindungsgemäße elektrisch schreib- und löscharbare Festwertspeicherzellenanordnung ist in einem Halbleitersubstrat realisiert. Vorzugsweise weist das Halbleitersubstrat mindestens im Bereich der Speicherzellenanordnung monokristallines Silizium auf. Das Halbleitersubstrat kann dabei sowohl aus einer monokristallinen Siliziumscheibe als auch aus einem SOI-Substrat bestehen.

In dem Halbleitersubstrat ist ein von einem ersten Leitfähigkeitstyp dotiertes Gebiet angeordnet, das an eine Hauptfläche des Halbleitersubstrats angrenzt. Das vom ersten Leitfähigkeitstyp dotierte Gebiet ist gegenüber dem Halbleitersubstrat isoliert, so daß an das vom ersten Leitfähigkeitstyp dotierte Gebiet eine Spannung angelegt werden kann. Die Isolation des vom ersten Leitfähigkeitstyps dotierten Gebietes gegenüber dem Halbleitersubstrat kann sowohl in einem pn-Übergang als auch in einer vergrabenen, isolierenden Schicht, zum Beispiel

der vergrabenen isolierenden Schicht eines SOI-Substrates, bestehen.

- 5 In dem vom ersten Leitfähigkeitstyp dotierten Gebiet sind eine Vielzahl einzelner Speicherzellen angeordnet. Die Speicherzellen sind dabei jeweils in im wesentlichen parallel verlaufenden Zeilen angeordnet. In der Hauptfläche des Halbleitersubstrats sind Längsgräben vorgesehen, die im wesentlichen parallel zu den Zeilen verlaufen. Die Zeilen sind jeweils abwechselnd auf der Hauptfläche zwischen benachbarten Längsgräben und auf dem Boden der Längsgräben angeordnet. Das heißt, die Speicherzellen sind jeweils in zwei Ebenen angeordnet, die in der Höhe gegeneinander versetzt sind.
- 10
- 15 Jede Speicherzelle umfaßt einen MOS-Transistor mit von einem zweiten, dem ersten entgegengesetzten Leitfähigkeitstyp dotierten Source/Drain-Gebieten, einem ersten Dielektrikum, einem floatenden Gate, einem zweiten Dielektrikum und einem Kontrollgate.
- 20
- Quer zu den Zeilen verlaufen Wortleitungen, die jeweils mit den Kontrollgates von entlang unterschiedlichen Zeilen angeordneten MOS-Transistoren verbunden sind.
- 25
- Vorzugsweise sind die MOS-Transistoren von entlang einer Zeile angeordneten Speicherzellen in Reihe verschaltet. Miteinander verbundene Source/Drain-Gebiete von entlang einer Zeile benachbarten MOS-Transistoren sind dabei als zusammenhängendes dotiertes Gebiet ausgebildet. Jede Zeile weist zwei Anschlüsse auf, zwischen denen in der Zeile angeordnete MOS-Transistoren in Reihe verschaltet sind. Über diese Anschlüsse können die in der jeweiligen Zeile befindlichen MOS-Transistoren im Sinne einer NAND-Architektur oder mit wahlfreiem Zugriff angesteuert werden. Werden in dieser Ausführungsform die Breite der Längsgräben, der Abstand benachbarter Längsgräben, die Ausdehnung der zusammenhängenden dotierten Gebiete und die Breite der Wortleitungen entsprechend ei-
- 30
- 35

ner in der jeweiligen Technologie minimalen Strukturgröße F ausgebildet, so beträgt der Flächenbedarf pro Speicherzelle $2F^2$. Bei Einsatz einer Technologie mit einer minimalen Strukturgröße F von $0,4 \mu\text{m}$ ist damit eine Speicherdichte von $6,25$ Bit/ μm^2 erzielbar.

Benachbarte Zeilen sind jeweils durch die Flanken der Längsgräben gegeneinander isoliert. Zur Vermeidung von parasitären MOS-Transistoren über die Flanken der Längsgräben werden diese mit isolierenden Spacern versehen.

Zur Verbesserung der Isolationswirkung dieser Spacer liegt es im Rahmen der Erfindung, daß die Längsgräben im Bereich des Grabenbodens durch Ausbuchtungen der Flanken in diesem Bereich eine größere Weite aufweisen als im Bereich der Hauptfläche. Diese Ausbuchtungen sind mit isolierendem Material gefüllt und vergrößern die Dicke des isolierenden Spacers im Bereich des Grabenbodens. Eine andere Möglichkeit zur Erhöhung der Isolation zwischen Hauptfläche und Grabenboden besteht in der Ausbildung einer dünnen hochdotierten p^+ -dotierten Schicht durch Ionenimplantation in Höhe der halben Grabentiefe.

Der Platzbedarf pro Speicherzelle von $2F^2$ wird bei der Herstellung der erfindungsgemäßen Festwertspeicherzellenanordnung unter Einsatz selbstjustierender Prozeßschritte erzielt.

Zur Herstellung der erfindungsgemäßen elektrisch schreib- und löschbaren Festwertspeicherzellenanordnung wird zunächst in der Hauptfläche des Halbleitersubstrats das vom ersten Leitfähigkeitstyp dotierte Gebiet erzeugt. In der Hauptfläche werden innerhalb des vom ersten Leitfähigkeitstyp dotierten Gebietes im wesentlichen parallel verlaufende Längsgräben geätzt, deren Länge mindestens so groß wie die Länge der Zeilen ist. Anschließend wird eine erste dielektrische Schicht erzeugt. Es wird ganzflächig eine erste dotierte Polysiliziumschicht erzeugt und so strukturiert, daß streifenförmige er-

ste Polysiliziumstrukturen entstehen, die parallel zu den Längsgräben jeweils an der Hauptfläche zwischen benachbarten Längsgräben und am Boden der Längsgräben angeordnet sind. Es wird eine zweite dielektrische Schicht erzeugt. Durch Abscheiden und anisotropes Ätzen einer zweiten Polysiliziumschicht werden Kontrollgates und quer zu den Zeilen verlaufende Wortleitungen erzeugt. Die Wortleitungen sind jeweils mit den Kontrollgates von entlang unterschiedlichen Zeilen angeordneten MOS-Transistoren verbunden. Die zweite Polysiliumschicht wird vorzugsweise in einer solchen Dicke abgedungen, daß die Wortleitungen quer zu den Längsgräben eine planare Oberfläche aufweisen. Anschließend werden die zweite dielektrische Schicht und die ersten Polysiliziumstrukturen durch anisotropes Ätzen entsprechend den Wortleitungen strukturiert. Dies erfolgt zum Beispiel unter Verwendung derselben Maske, mit der die Wortleitungen strukturiert worden sind. Es wird eine Source/Drain-Implantation für die MOS-Transistoren durchgeführt, bei der die Wortleitungen als Maske verwendet werden. Gleichzeitig werden die Wortleitungen bei dieser Implantation dotiert.

Vorzugsweise wird die erste Polysiliziumschicht durch selbstjustierende Prozeßschritte strukturiert. Dabei werden durch Abscheiden und anisotropes Ätzen einer ersten Hilfsschicht Spacer an den Teilen der ersten Polysiliziumschicht, die an den Flanken der Längsgräben angeordnet sind, gebildet. Das anisotrope Ätzen erfolgt dabei selektiv zum Substrat. Die erste Hilfsschicht wird zum Beispiel aus Si_3N_4 oder einem SiO_2 , das zu thermischem SiO_2 selektiv ätzbar ist, gebildet. Anschließend wird auf freiliegenden Teilen der ersten Polysiliziumschicht selektiv eine zweite Hilfsschicht erzeugt, zu der die erste Hilfsschicht und die erste Polysiliziumschicht selektiv ätzbar sind, die zweite Hilfsschicht wird zum Beispiel durch thermische Oxidation aus thermischem SiO_2 gebildet. Die Spacer werden dann selektiv zur zweiten Hilfsschicht entfernt. Unter Verwendung der zweiten Hilfsschicht als Ätzmaske wird die erste Polysiliziumstruktur durch Ätzen der ersten

Polysiliziumschicht gebildet. Schließlich wird die zweite Hilfsschicht entfernt. Da bei dieser selbstjustierenden Strukturierung der ersten Polysiliziumschicht keine Maske, die relativ zu den Längsgräben justiert werden müßte, eingesetzt wird, kann die Strukturierung der ersten Polysiliziumschicht feiner, als es der in der jeweiligen Technologie minimal herstellbaren Strukturgröße F entspricht, erfolgen.

Zur verbesserten Isolation zwischen benachbarten Zeilen werden vor dem Abscheiden der zweiten dielektrischen Schicht an den Flanken der ersten Polysiliziumstruktur isolierende Spacer gebildet.

Die isolierende Wirkung dieser isolierenden Spacer kann dadurch verbessert werden, daß die Längsgräben so erzeugt werden, daß ihre Flanken im Bereich des Grabenbodens Ausbuchtungen aufweisen, durch die die Weite des Grabens im Bereich des Grabenbodens größer ist als im Bereich der Hauptfläche. Ein solches Grabenprofil kann durch kombiniertes anisotropes und isotropes Ätzen gebildet werden oder durch Ausnutzung des sogenannten Barrelling-Effektes. Unter Barrelling-Effekt wird die Tatsache verstanden, daß es beim anisotropen Plasmaätzen bei erhöhtem Druck zu einer Aufweitung des Grabens im Bereich des Grabenbodens kommt. Der Barrelling-Effekt ist zum Beispiel aus VLSI Electronics, Microstructure Science, Volume 8, Plasma Processing for VLSI, N. G. Einspruch and D. M. Brown, Chapter 5, Academic Press Inc., Orlando, 1984, S. 124 ff. bekannt. Die Ausbuchtungen werden nach der Bildung der ersten dielektrischen Schicht mit isolierendem Material aufgefüllt.

Im folgenden wird die Erfindung anhand eines Ausführungsbeispiels und der Figuren näher erläutert.

Figur 1 zeigt ein Halbleitersubstrat mit einem von einem ersten Leitfähigkeitstyp dotierten Gebiet, parallel verlaufenden Längsgräben, einer ersten dielektrischen

Schicht, einer ersten Polysiliziumschicht und Si_3N_4 -Spacern.

5 Figur 2 zeigt das Halbleitersubstrat nach Bildung einer zweiten Hilfsschicht durch thermische Oxidation.

10 Figur 3 zeigt das Halbleitersubstrat nach selektiver Entfernung der Si_3N_4 -Spacer und nach Strukturierung der ersten Polysiliziumschicht.

15 Figur 4 zeigt das Halbleitersubstrat nach Entfernen der zweiten Hilfsschicht und nach Abscheidung und Strukturierung einer zweiten dielektrischen Schicht und einer zweiten Polysiliziumschicht.

20 Figur 5 zeigt das Halbleitersubstrat nach Bildung von Kontrollgates und Wortleitungen sowie nach Bildung der Source/Drain-Gebiete.

25 Figur 6 zeigt den in Figur 5 mit VI-VI bezeichneten Schnitt.

30 Figur 7 zeigt den in Figur 5 mit VII-VII bezeichneten Schnitt.

35 Figur 8 zeigt eine Aufsicht auf das Halbleitersubstrat.

In einem Substrat 1 aus zum Beispiel monokristallinem Silizium mit einer p-Dotierung von 10^{16} cm^{-3} wird zunächst eine p-dotierte Wanne 2, zum Beispiel durch maskierte Implantation, erzeugt. Die p-dotierte Wanne 2 weist eine Dotierstoffkonzentration von zum Beispiel 10^{17} cm^{-3} auf. Die p-dotierte Wanne 2 grenzt an eine Hauptfläche 3 des Substrats 1 an (siehe Figur 1). Sie weist eine Tiefe von zum Beispiel $1,2 \mu\text{m}$ auf.

In der p-dotierten Wanne 2 wird durch eine Implantation mit Bor eine p⁺-dotierte Schicht 2a erzeugt. In der p⁺-dotierten

Schicht 2a wird eine Dotierstoffkonzentration von zum Beispiel $2 \cdot 10^{18} \text{ cm}^{-3}$ eingestellt.

5 Durch Abscheidung einer SiO_2 -Schicht in einem TEOS-Verfahren und deren photolithographische Strukturierung wird eine Grabenmaske erzeugt (nicht dargestellt). Durch anisotropes Ätzen zum Beispiel mit Cl_2 werden unter Verwendung der Grabenmaske als Ätzmaske Längsgräben 4 geätzt. Die Längsgräben 4 weisen eine Tiefe von zum Beispiel $0,4 \mu\text{m}$ auf. Dabei liegt der Grabenboden der Längsgräben 4 in der p-dotierten Wanne 2. Die Breite der Längsgräben 4 beträgt zum Beispiel $0,4 \mu\text{m}$, die Länge zum Beispiel $25 \mu\text{m}$. Die Längsgräben 4 verlaufen parallel über das Substrat 1. Ihre Ausdehnung und Anzahl ist so groß, daß sie den Bereich für später herzustellende Speicherzellen überdecken. Es werden zum Beispiel 1024 Längsgräben nebeneinander angeordnet.

Anschließend wird eine dielektrische Schicht 5 durch thermische Oxidation aus SiO_2 gebildet. Die erste dielektrische Schicht 5 wird in einer Dicke von zum Beispiel 8 nm gebildet. Die Dicke der ersten dielektrischen Schicht 5 ist dabei so bemessen, daß durch Spannungen von 10 Volt bis 15 Volt Tunnelströme hervorgerufen werden können, die innerhalb von Mikrosekunden bis wenigen Millisekunden so viel Ladung auf ein später herzustellendes, floatendes Gate übertragen, daß bei dem darunter befindlichen MOS-Transistor die Schwellenspannung V_t die Versorgungsspannung V_{dd} übersteigt.

Nachfolgend wird eine erste Polysiliziumschicht 6 in einer Dicke von zum Beispiel 100 nm bis 200 nm abgeschieden. Die erste Polysiliziumschicht 6 wird n-dotiert. Dieses kann entweder in situ während des Abscheidens erfolgen oder nach dem Abscheiden durch eine Phosphordiffusion. Die erste Polysiliziumschicht 6 weist eine im wesentlichen konforme Kantenbedeckung auf, so daß deren Dicke auf der Hauptfläche 3 und am Grabenboden im wesentlichen gleich groß ist wie an den Flanken der Längsgräben 4 (siehe Figur 1).

Auf die dotierte erste Polysiliziumschicht 6 wird eine Si_3N_4 -Schicht 7 in einer Dicke von zum Beispiel 20 nm bis 80 nm aufgebracht. Die Si_3N_4 -Schicht weist eine im wesentlichen konforme Kantenbedeckung auf. Es wird eine anisotrope Ätzung zum Beispiel mit CHF_3 durchgeführt, bei der die in den planaren Bereichen angeordneten Teile der Si_3N_4 -Schicht entfernt werden. Dabei entstehen Si_3N_4 -Spacer 7, die im Bereich der Flanken der Längsgräben 4 die erste Polysiliziumschicht 6 bedecken (siehe Figur 1).

Durch eine thermische Oxidation zum Beispiel bei 850°C wird an der freiliegenden Oberfläche der ersten Polysiliziumschicht 6 selektiv eine SiO_2 -Struktur 8 erzeugt (siehe Figur 2). Da nach der Bildung der Si_3N_4 -Spacer 7 die erste Polysiliziumschicht 6 im Bereich der Hauptfläche 3 und am Boden der Längsgräben 7 freigelegt wurde, bedeckt die SiO_2 -Struktur 8 die erste Polysiliziumschicht 6 im Bereich der Hauptfläche 3 und am Boden der Längsgräben 4.

Nachfolgend werden die Si_3N_4 -Spacer 7 selektiv zu der SiO_2 -Schicht 8 entfernt. Dieses erfolgt zum Beispiel naßchemisch mit Hilfe von heißer Phosphorsäure. Dabei werden die im Bereich der Flanken der Längsgräben 4 angeordneten Teile der ersten Polysiliziumschicht 6 freigelegt.

Unter Verwendung der SiO_2 -Struktur 8 als Ätzmaske wird die erste Polysiliziumschicht 6 durch eine trockene Ätzung, die mit einer nassen Ätzung kombiniert werden kann, strukturiert. Dabei entsteht eine erste Polysiliziumstruktur 6'. Die Ätzung erfolgt zum Beispiel mit Cl_2 oder mit HF/HNO_3 . Bei der Strukturierung der ersten Polysiliziumschicht 6 werden diejenigen Teile der ersten Polysiliziumschicht 6 entfernt, die im Bereich der Flanken der Längsgräben 4 angeordnet sind. Die erste Polysiliziumstruktur 6' umfaßt daher streifenförmige Teile, die jeweils im Bereich der Hauptfläche zwischen benachbarten Längsgräben 4 sowie am Boden der Längsgräben angeord-

net sind (siehe Figur 3). Die Bildung der ersten Polysiliziumstruktur 6' erfolgt selbstjustierend, das heißt ohne Einsatz von Photolithographie.

- 5 Durch eine trockene Ätzung, zum Beispiel mit CF_4 , wird die SiO_2 -Struktur 8 entfernt. Die Ätzung erfolgt vorzugsweise selektiv zu Polysilizium.

- Durch Abscheiden einer SiO_2 -Schicht mit Hilfe eines TEOS-Verfahrens in einer Dicke von zum Beispiel 30 nm bis 100 nm und anschließendes anisotropes Ätzen der SiO_2 -Schicht sowie Rückätzen um die Dicke der ersten Polysiliziumschicht werden SiO_2 -Spacer 9 gebildet (siehe Figur 4). Die Ätzung erfolgt zum Beispiel mit CF_4 . Die SiO_2 -Spacer 9 sind im Bereich der
- 10
15 Flanken der Längsgräben 4 angeordnet. Sie bedecken ebenfalls den freigelegten Bereich am Boden der Längsgräben 4.

- Nach einer Vorbehandlung der Oberfläche der ersten Polysiliziumstruktur 6' zum Beispiel durch eine reduzierende Reinigung mit HF wird eine zweite dielektrische Schicht 10 erzeugt. Die zweite dielektrische Schicht 10 wird zum Beispiel durch thermische Oxidation einer Schicht aus SiO_2 in einer Schichtdicke von zum Beispiel 14 nm gebildet. Alternativ wird die zweite dielektrische Schicht 10 als Mehrfachschicht mit
- 20
25 einer SiO_2 - Si_3N_4 - SiO_2 -Schichtenfolge gebildet. Dazu wird zunächst eine SiO_2 -Schicht in einer Schichtdicke von zum Beispiel 5 nm abgeschieden. Darauf wird eine Si_3N_4 -Schicht in einer Schichtdicke von zum Beispiel 7 nm abgeschieden. Abschließend wird durch thermische Oxidation eine weitere SiO_2 -
- 30 Schicht in einer Schichtdicke von zum Beispiel 5 nm gebildet. Eine weitere Möglichkeit für ein geeignetes zweites Dielektrikum besteht in der Verwendung von nitridiertem Oxid.

- Anschließend wird eine zweite Polysiliziumschicht 11 abgeschieden (siehe Figur 4). Die zweite Polysiliziumschicht 11 wird in einer Dicke, die größer als die halbe Breite der Längsgräben 4 ist, gebildet. Dadurch weist die zweite Polysi-
- 35

lizienschicht 11 eine im wesentlichen planare Oberfläche auf. Die zweite Polysiliziumschicht 11 wird in einer Dicke von zum Beispiel 300 nm gebildet.

- 5 Nach Bildung einer Photolackmaske (nicht dargestellt) wird die zweite Polysiliziumschicht 11 durch anisotropes Ätzen strukturiert. Dabei werden Wortleitungen 11' gebildet, die quer zu den Längsgräben 4 verlaufen. Die anisotrope Ätzung der zweiten Polysiliziumschicht 11 erfolgt zum Beispiel mit
- 10 Cl_2 . Durch Änderung des Ätzmediums in CF_4 wird mit derselben Photolackmaske die zweite dielektrische Schicht 10 strukturiert. Durch erneute Änderung des Ätzmediums zu Cl_2 wird die erste Polysiliziumstruktur 6' strukturiert, wobei die Oberfläche der ersten dielektrischen Schicht 5 und der SiO_2 -
- 15 Spacer 9 freigelegt wird (siehe Figur 5). Die Wortleitungen 11' werden in einer Breite von zum Beispiel $0,4 \mu\text{m}$ und mit einem Abstand zwischen benachbarten Wortleitungen 11' von ebenfalls zum Beispiel $0,4 \mu\text{m}$ gebildet.
- 20 Nach Entfernen der Photolackmaske wird eine Source/Drain-Implantation mit zum Beispiel Arsen und einer Energie von zum Beispiel 25 keV und einer Dosis von zum Beispiel $5 \times 10^{15} \text{ cm}^{-2}$ durchgeführt. Bei der Source/Drain-Implantation werden am Boden der Längsgräben 4 sowie in der Hauptfläche 3 zwischen den
- 25 Längsgräben 4 dotierte Gebiete 12 erzeugt (siehe Figur 5, Figur 6, die den mit VI-VI bezeichneten Schnitt durch Figur 5 darstellt, und Figur 7, die den mit VII-VII bezeichneten Schnitt in Figur 5 darstellt. Der in Figur 5 dargestellte Schnitt ist in Figur 6 und Figur 7 jeweils mit V-V bezeichnet).
- 30 Die dotierten Gebiete 12 wirken jeweils als gemeinsames Source/Drain-Gebiet für zwei entlang einer Zeile angeordnete, benachbarte MOS-Transistoren. Bei der Source/Drain-Implantation werden gleichzeitig die Wortleitungen 11' dotiert.

35

Die Speicherzellenanordnung wird durch Abscheidung eines Zwischenoxids, in dem mit Hilfe photolithographischer Prozeß-

schritte Kontaktlöcher geöffnet werden, und Bildung von Kontakten durch Aufbringen einer Metallschicht zum Beispiel durch Sputtern und anschließendes Strukturieren der Metallschicht fertiggestellt.

5

Dabei wird jede Zeile am Rand der Festwertspeicherzellenanordnung mit zwei Anschlüssen versehen, zwischen den die in der Zeile angeordneten MOS-Transistoren in Reihe verschaltet sind (nicht dargestellt).

10

Bei der Strukturierung der ersten Polysiliziumstruktur 6' entstehen floatende Gates 6'', die jeweils unterhalb einer Wortleitung 11' angeordnet sind.

15 Je zwei benachbarte dotierte Gebiet 12 und die dazwischen angeordnete Wortleitung 11' bilden jeweils einen MOS-Transistor. Der zwischen den beiden dotierten Gebieten 12 angeordnete Teil der p-dotierten Wanne 2 bildet dabei den Kanalbereich des MOS-Transistors. Oberhalb des Kanalbereichs ist die erste dielektrische Schicht 5 als Tunneloxid, das
20 floatende Gate 6'', das zweite Dielektrikum 10 sowie ein Kontrollgate, das aus dem oberhalb des Kanalbereichs verlaufenden Teils der Wortleitung 11' gebildet wird, angeordnet.

25 Am Boden der Längsgräben 4 sowie zwischen den Längsgräben 4 im Bereich der Hauptfläche 3 ist jeweils eine Zeile von in Reihe verschalteten MOS-Transistoren, die jeweils aus zwei dotierten Gebieten 12 und der dazwischen angeordneten Wortleitung 11' gebildet sind, angeordnet. Die am Boden eines
30 Längsgrabens 4 angeordneten MOS-Transistoren sind von den benachbarten, zwischen den Längsgräben 4 an der Hauptfläche angeordneten MOS-Transistoren durch den SiO₂-Spacer 9 isoliert.

Die maximale Isolationsspannung ist dabei durch die Ausdehnung des SiO₂-Spacers 9 parallel zur Hauptfläche gegeben. Zur
35 Verbesserung der Isolation kann diese Ausdehnung des SiO₂-Spacers 9 dadurch vergrößert werden, daß im Bereich des Gra-

benbodens die Flanken der Längsgräben 4 eine Ausbuchtung (nicht dargestellt) aufweisen, die ebenfalls mit SiO_2 aufgefüllt ist. Eine derartige Ausbuchtung läßt sich selbstjustiert dadurch herstellen, daß bei der Ätzung der Längsgräben 4 der Barrelling-Effekt ausgenutzt wird. Nach der Erzeugung der ersten dielektrischen Schicht 5 werden die Ausbuchtungen durch Abscheiden und anisotropes Rückätzen einer zusätzlichen TEOS- SiO_2 -Schicht mit einer Schichtdicke von etwa 20 nm bis 80 nm aufgefüllt.

10

Die Breite der Längsgräben 4, der Abstand zwischen benachbarten Längsgräben 4, die Breite der Wortleitungen 11' sowie der Abstand zwischen benachbarten Wortleitungen 11' wird jeweils vorzugsweise mit einer Abmessung entsprechend einer in der jeweiligen Technologie minimal herstellbaren Strukturgröße F gebildet. Berücksichtigt man, daß jedes der dotierten Gebiete 12 Source/Drain-Gebiet für zwei angrenzende MOS-Transistoren ist, so beträgt die Länge jedes MOS-Transistors parallel zum Verlauf der Längsgräben 4 $2F$. Die Breite der MOS-Transistoren beträgt jeweils F . Herstellungsbedingt beträgt die Fläche für eine aus einem MOS-Transistor gebildete Speicherzelle daher $2F^2$. Entlang einer Wortleitung 11' benachbarte Speicherzellen, deren Konturen $Z1$, $Z2$ in der Aufsicht in Figur 8 als verstärkte Linie eingezeichnet sind, grenzen in der Projektion auf die Hauptfläche 3 unmittelbar aneinander. Die Speicherzelle $Z1$ ist am Boden eines der Längsgräben angeordnet, die Speicherzelle $Z2$ dagegen auf der Hauptfläche 3 zwischen zwei benachbarten Längsgräben 4. Durch die in der Höhe versetzte Anordnung benachbarter Speicherzellen wird die Packungsdichte erhöht, ohne daß die Isolation zwischen benachbarten Speicherzellen verschlechtert würde.

Die Programmierung der elektrisch schreib- und löschbaren Festwertspeicherzellenanordnung erfolgt durch Injektion von Elektronen vom Kanalbereich des jeweiligen MOS-Transistors auf das zugehörige floatende Gate 6''. Je nach auf dem floatenden Gate 6'' befindlicher elektrischer Ladung weist der

35

- entsprechende MOS-Transistor eine niedrige oder eine hohe Schwellenspannung auf. Eine hohe Schwellenspannung, die einem ersten logischen Wert zugeordnet wird, wird durch eine positive Spannung von zum Beispiel 10 bis 15 Volt hervorgerufen, die zwischen die als Kontrollgate wirkende Wortleitung 11' und die p-dotierte Wanne 2, die gegen das Substrat 1 durch einen pn-Übergang isoliert ist, angelegt wird. Diese Spannung bewirkt, daß über einen Fowler-Nordheim-Tunnelstrom Elektronen auf das floatende Gate injiziert werden.
- Ein zweiter logischer Wert wird einer niedrigen Schwellenspannung zugeordnet. Dazu wird das entsprechende floatende Gate 6'' entladen. Dieses erfolgt durch Anlegen eines negativen Potentials von - 10 bis - 15 Volt zwischen die p-dotierte Wanne 2 und das Kontrollgate 11'. Dadurch wird ein Tunnelstrom durch die erste dielektrische Schicht 5 bewirkt, über den die Elektronen von dem floatenden Gate 6'' innerhalb von Mikrosekunden bis wenigen Millisekunden abfließen.
- Durch Verwendung mehrerer Spannungsniveaus bei der Injektion von Elektronen auf das floatende Gate 6'' kann die elektrisch schreib- und löschbare Speicherzellenanordnung auch im Sinne einer Mehrwehrlogik programmiert werden.

Bezugszeichenliste

	1	Substrat
	2	p-dotierte Wanne
5	2a	hochdotierte p ⁺ -dotierte Schicht
	3	Hauptfläche
	4	Längsgräben
	5	erste dielektrische Schicht
	6	erste Polysiliziumschicht
10	6'	erste Polysiliziumstruktur
	6''	floatende Gates
	7	Si ₃ N ₄ -Spacer
	8	SiO ₂ -Struktur
	9	SiO ₂ -Spacer
15	10	zweite dielektrische Schicht
	11	zweite Polysiliziumschicht
	11'	Wortleitungen
	12	dotierte Gebiete

Patentansprüche

1. Elektrisch schreib- und löschbare Festwertspeicherzellenanordnung,

5

- bei der eine Vielzahl einzelner Speicherzellen in einem von einem ersten Leitfähigkeitstyp dotierten Gebiet (2) eines Halbleitersubstrats (1) vorgesehen sind,

10

- bei der das vom ersten Leitfähigkeitstyp dotierte Gebiet (2) gegenüber dem Halbleitersubstrat (1) isoliert ist,

- bei der die Speicherzellen jeweils in im wesentlichen parallel verlaufenden Zeilen angeordnet sind,

15

- bei der in einer Hauptfläche (3) des Halbleitersubstrats (1) Längsgräben (4) vorgesehen sind, die im wesentlichen parallel zu den Zeilen verlaufen,

20

- bei der die Zeilen jeweils abwechselnd auf der Hauptfläche (3) zwischen benachbarten Längsgräben (4) und auf dem Boden der Längsgräben (4) angeordnet sind,

25

- bei der die Speicherzellen jeweils mindestens einen MOS-Transistor mit von einem zweiten, dem ersten entgegengesetzten Leitfähigkeitstyp dotierten Source/Drain-Gebieten (12), einem ersten Dielektrikum (5), einem floatenden Gate (6''), einem zweiten Dielektrikum (10) und einem Kontrollgate (11') umfassen,

30

- bei der quer zu den Zeilen Wortleitungen (11') verlaufen, die jeweils mit den Kontrollgates an entlang unterschiedlichen Zeilen angeordneten MOS-Transistoren verbunden sind.

35

2. Festwertspeicherzellenanordnung nach Anspruch 1,

bei der zur Isolation zwischen benachbarten Zeilen in Höhe der halben Grabentiefe eine hochdotierte p⁺-dotierte Schicht (2a) vorgesehen ist.

- 5 3. Festwertspeicherzellenanordnung nach Anspruch 1 oder 2,
- bei der die MOS-Transistoren von entlang einer Zeile angeordneten Speicherzellen in Reihe verschaltet sind,
- 10 - bei der miteinander verbundene Source/Drain-Gebiete von entlang einer Zeile benachbarten MOS-Transistoren als zusammenhängendes dotiertes Gebiet (12) im Halbleitersubstrat (1) ausgebildet sind,
- 15 - bei der jede Zeile zwei Anschlüsse aufweist, zwischen denen die in der Zeile angeordneten MOS-Transistoren in Reihe verschaltet sind.
- 20 4. Festwertspeicherzellenanordnung nach einem der Ansprüche 1 bis 3,
bei der die Flanken der Längsgräben (4) im Bereich des Grabenbodens Ausbuchtungen aufweisen, die mit isolierendem Material aufgefüllt sind.
- 25 5. Festwertspeicherzellenanordnung nach einem der Ansprüche 1 bis 4,
- bei der das Halbleitersubstrat (1) mindestens im Bereich des vom ersten Leitfähigkeitstyp dotierten Gebietes (2) monokristallines Silizium aufweist,
- 30 - bei der das erste Dielektrikum (5) jeweils als SiO₂-Schicht ausgebildet ist,
- 35 - bei der das zweite Dielektrikum (10) jeweils SiO₂ und/oder Si₃N₄ enthält,

18

- bei der das floatende Gate (6'') und das Kontrollgate (11') jeweils dotiertes Polysilizium enthalten.

6. Verfahren zur Herstellung einer elektrisch schreib- und löschbaren Festwertspeicherzellenanordnung,

- bei dem in einer Hauptfläche (3) eines Halbleitersubstrates (1) ein von einem ersten Leitfähigkeitstyp dotiertes Gebiet (2) erzeugt wird, das gegenüber dem Halbleitersubstrat (1) isoliert ist,
- bei dem in der Hauptfläche (3) innerhalb des vom ersten Leitfähigkeitstyp dotierten Gebietes (2) im wesentlichen parallel verlaufende Längsgräben (4) geätzt werden,
- bei dem eine Vielzahl in Zeilen angeordneter Speicherzellen, die jeweils mindestens einen MOS-Transistor mit von einem zweiten, dem ersten entgegengesetzten Leitfähigkeitstyp dotierten Source/Drain-Gebieten (12), einem ersten Dielektrikum (5), einem floatenden Gate (6''), einem zweiten Dielektrikum (10) und einem Kontrollgate (11') umfassen, erzeugt werden, wobei die Zeilen abwechselnd an der Hauptfläche (3) zwischen benachbarten Längsgräben (4) und am Boden der Längsgräben (4) angeordnet sind,
- bei dem eine erste dielektrische Schicht (5) erzeugt wird,
- bei dem eine erste dotierte Polysiliziumschicht (6) erzeugt und so strukturiert wird, daß streifenförmige erste Polysiliziumstrukturen (6') entstehen, die parallel zu den Längsgräben (4) jeweils an der Hauptfläche (3) zwischen benachbarten Längsgräben (4) und am Boden der Längsgräben (4) angeordnet sind,
- bei dem eine zweite dielektrische Schicht (10) erzeugt wird,

- bei dem durch Abscheiden und anisotropes Ätzen einer zweiten Polysiliziumschicht (11) Kontrollgates (11') und quer zu den Zeilen verlaufende Wortleitungen (11') erzeugt werden, die jeweils mit den Kontrollgates von entlang unterschiedlichen Zeilen angeordneten MOS-Transistoren verbunden sind,
5
 - bei dem die zweite dielektrische Schicht (10) und die erste Polysiliziumstruktur (6') durch anisotropes Ätzen entsprechend den Wortleitungen (11') strukturiert werden,
10
 - bei dem eine Source/Drain-Implantation für die MOS-Transistoren durchgeführt wird, bei der die Wortleitungen (11') als Maske wirken.
15
7. Verfahren nach Anspruch 6,
- bei dem zur selbstjustierten Strukturierung der ersten Polysiliziumschicht (6) durch Abscheiden und zum Halbleiter-substrat (1) selektives, anisotropes Ätzen einer ersten
20 Hilfsschicht Spacer (7) an den an den Flanken der Längsgräben (4) angeordneten Teilen der ersten Polysiliziumschicht (6) gebildet werden,
 - bei dem auf freiliegenden Teile der ersten Polysiliziumschicht (6) selektiv eine zweite Hilfsschicht (8) erzeugt wird, zu der die erste Hilfsschicht (7) und die erste Polysiliziumschicht (6) selektiv ätzbar sind,
25
 - bei dem die Spacer (7) selektiv zur zweiten Hilfsschicht (8) entfernt werden,
30
 - bei dem die erste Polysiliziumstruktur (6') durch Ätzen der ersten Polysiliziumschicht (6) unter Verwendung der zweiten
35 Hilfsschicht (8) als Ätzmaske gebildet wird,
 - bei dem die zweite Hilfsschicht (8) entfernt wird.

8. Verfahren nach Anspruch 7,
bei dem die zweite Hilfsschicht (8) aus thermischem SiO_2 und
die erste Hilfsschicht aus Si_3N_4 oder aus SiO_2 , das zu thermi-
5 schem SiO_2 selektiv ätzbar ist, gebildet werden.

9. Verfahren nach einem der Ansprüche 5 bis 8,

- bei dem die Längsgräben (4) so erzeugt werden, daß ihre
10 Flanken im Bereich des Grabenbodens Ausbuchtungen aufwei-
sen, durch die die Weite des Grabens (4) im Bereich des
Grabenbodens größer ist als im Bereich der Hauptfläche (3),

- bei dem die Ausbuchtungen mit isolierendem Material aufge-
15 füllt werden.

10. Verfahren nach Anspruch 9,
bei dem die Längsgräben (4) durch kombiniertes anisotropes
und isotropes Ätzen gebildet werden.

1/4

FIG 1

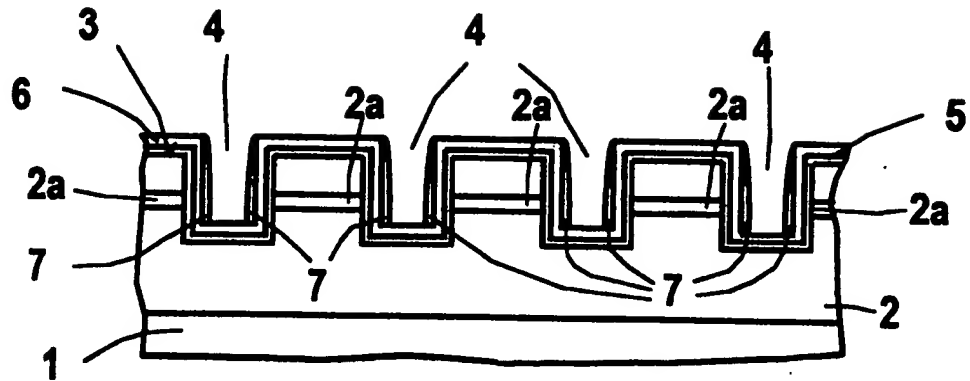
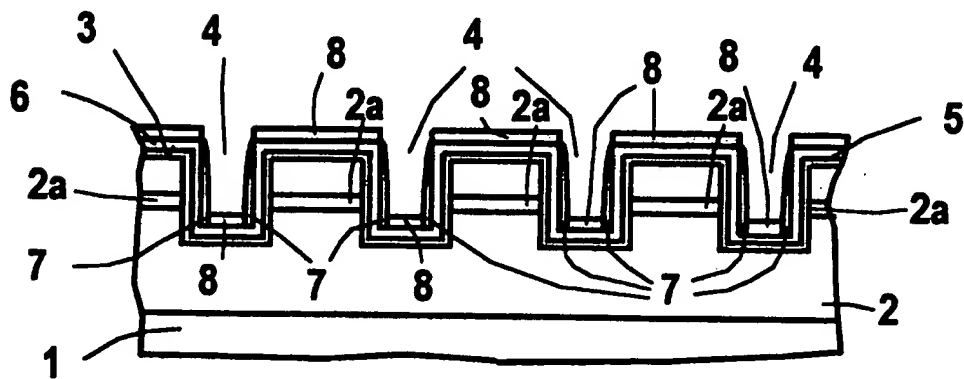


FIG 2



2/4

FIG 3

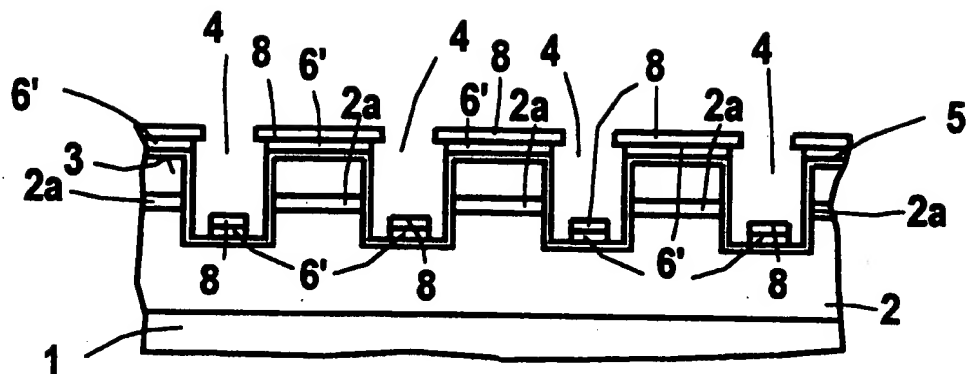
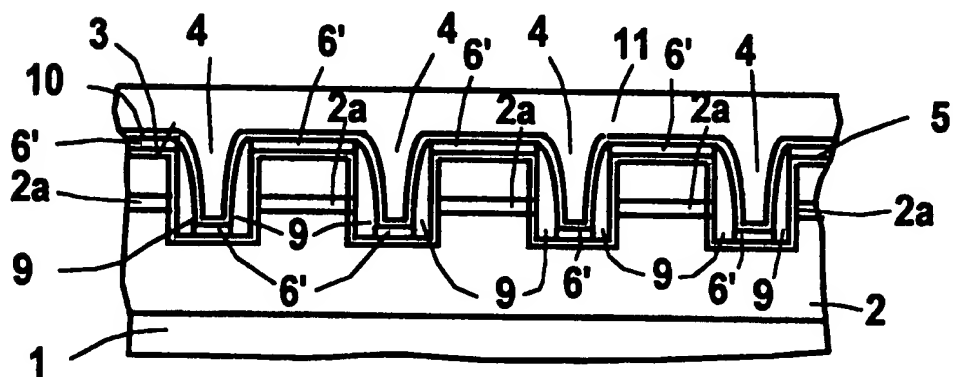


FIG 4



3/4

FIG 5

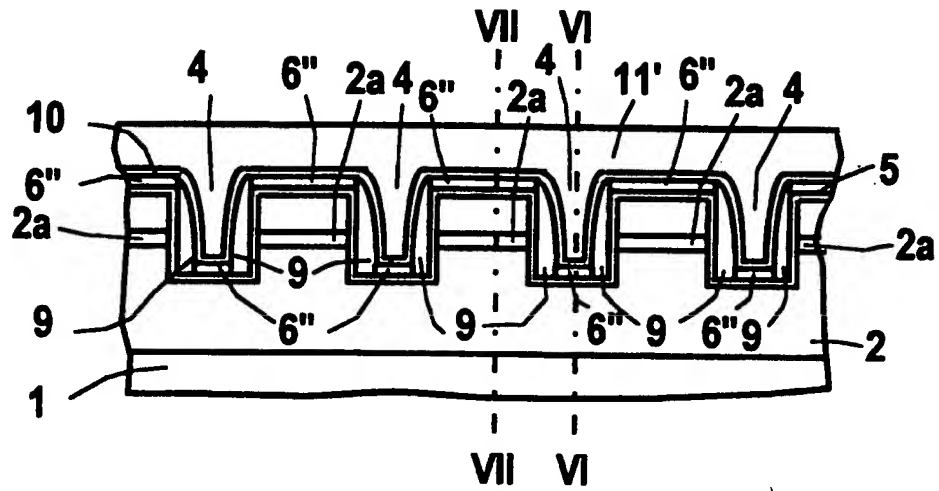
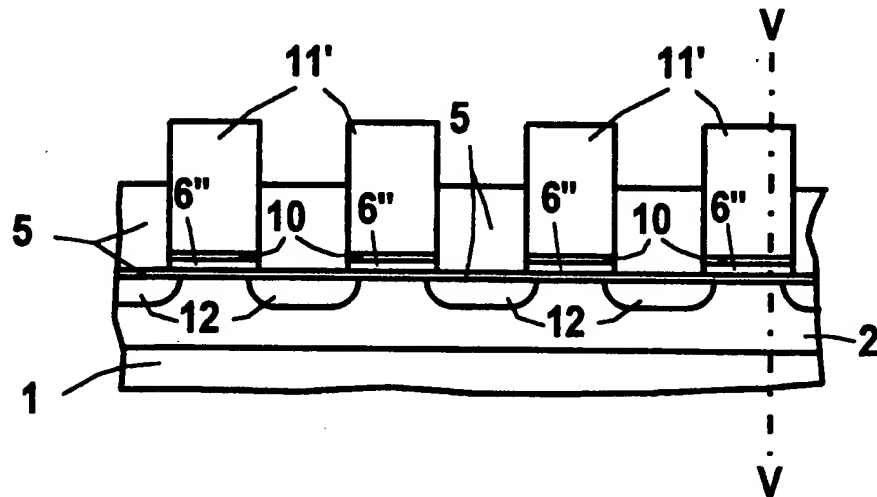


FIG 6



4/4

FIG 7

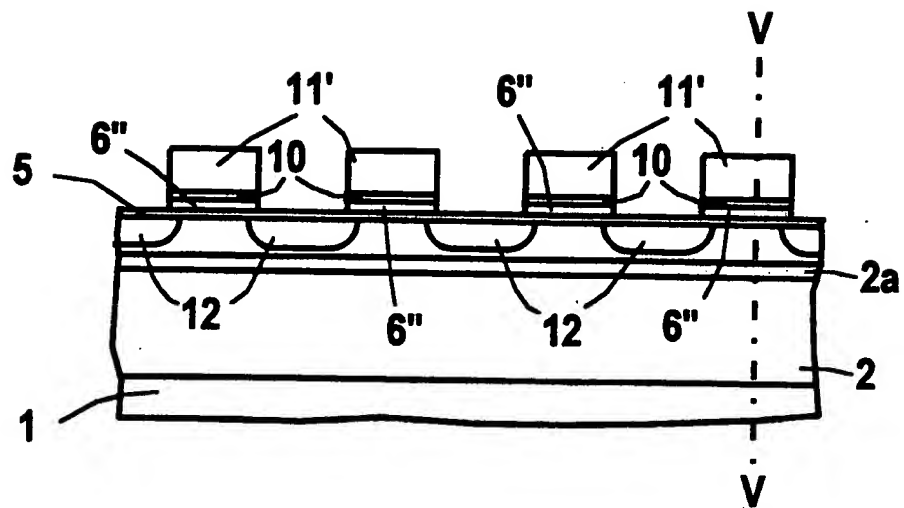
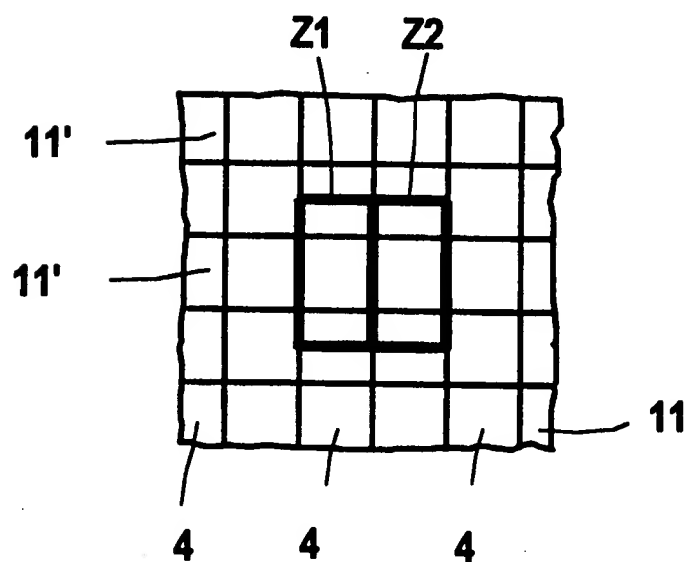


FIG 8



INTERNATIONAL SEARCH REPORT

International Application No

PCT/DE 96/01171

A. CLASSIFICATION OF SUBJECT MATTER
IPC 6 H01L27/115 H01L21/8247

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 6 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P,X	EP,A,0 673 070 (TOKYO SHIBAURA ELECTRIC CO) 20 September 1995	1-5
A	see page 4, column 5, line 41 - page 7, column 11, line 42; claims 1-9; figures 5-19C	6,7
A	--- US,A,4 814 840 (KAMEDA MASAHIRO) 21 March 1989 see claim 1; figure 1E	1
A	--- US,A,5 306 941 (YOSHIDA NORIO) 26 April 1994 see column 3, line 21 - column 5, line 14; claims 1,2; figures 3-6 -----	1

☐ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents:

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

- *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- *&* document member of the same patent family

Date of the actual completion of the international search

11 November 1996

Date of mailing of the international search report

22. 11. 96

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentaan 2
NL - 2280 HV Rijswijk
Tel. (+ 31-70) 340-2040, Tx. 31 651 epo nl,
Fax (+ 31-70) 340-3016

Authorized officer

Fransen, L

INTERNATIONAL SEARCH REPORT

information on patent family members

International Application No

PCT/DE 96/01171

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
EP-A-0673070	20-09-95	JP-A- 7254651 CN-A- 1113609	03-10-95 20-12-95
US-A-4814840	21-03-89	JP-B- 7015953 JP-A- 62036870	22-02-95 17-02-87
US-A-5306941	26-04-94	JP-A- 5102436	23-04-93

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/DE 96/01171

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
IPK 6 H01L27/115 H01L21/8247

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationsymbole)
IPK 6 H01L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
P,X	EP,A,0 673 070 (TOKYO SHIBAURA ELECTRIC CO) 20.September 1995	1-5
A	siehe Seite 4, Spalte 5, Zeile 41 - Seite 7, Spalte 11, Zeile 42; Ansprüche 1-9; Abbildungen 5-19C	6,7
A	US,A,4 814 840 (KAMEDA MASAHIRO) 21.März 1989 siehe Anspruch 1; Abbildung 1E	1
A	US,A,5 306 941 (YOSHIDA NORIO) 26.April 1994 siehe Spalte 3, Zeile 21 - Spalte 5, Zeile 14; Ansprüche 1,2; Abbildungen 3-6	1

☐ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

☒ Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung, die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung, die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann nabeliegend ist

"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

11.November 1996

Absenddatum des internationalen Recherchenberichts

22. 11. 96

Name und Postanschrift der Internationale Recherchenbehörde
Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+ 31-70) 340-2040, Tx. 31 651 epo nl.
Fax (+ 31-70) 340-3016

Bevollmächtigter Bediensteter

Fransen, L

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen
PCT/DE 96/01171

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
EP-A-0673070	20-09-95	JP-A- 7254651 CN-A- 1113609	03-10-95 20-12-95
US-A-4814840	21-03-89	JP-B- 7015953 JP-A- 62036870	22-02-95 17-02-87
US-A-5306941	26-04-94	JP-A- 5102436	23-04-93